

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-307722

(43) 公開日 平成11年(1999)11月5日

(51) Int.Cl.<sup>6</sup>

H 0 1 L 27/04  
21/822

識別記号

F I

H 0 1 L 27/04

C

審査請求 未請求 請求項の数10 O L (全 10 頁)

(21) 出願番号

特願平10-106623

(22) 出願日

平成10年(1998)4月16日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番  
1号

(72) 発明者 渡辺 秋好

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(74) 代理人 弁理士 高橋 敬四郎

(54) 【発明の名称】 半導体装置の製造方法及び半導体装置

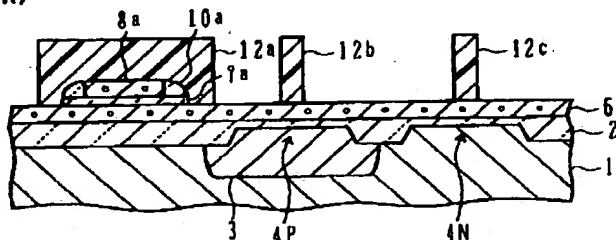
(57) 【要約】

【課題】 フォトリソグラフィ工程の増加を抑制し、信頼性の高いキャパシタを形成することができる半導体装置の製造方法を提供する。

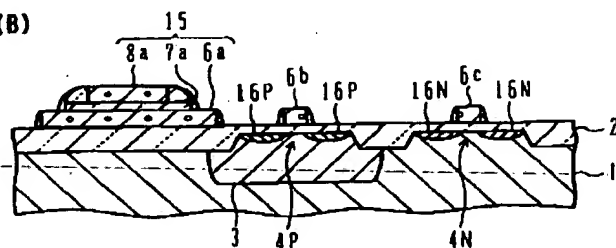
【解決手段】 半導体基板の上に、第1のシリコン膜を堆積する。第1のシリコン膜の上にキャパシタ誘電体膜を形成する。キャパシタ誘電体膜の上に、第2のシリコン膜を堆積する。第2のシリコン膜をパターニングし、半導体基板の絶縁性表面の上方に第2のシリコン膜からなる上部電極を残す。上部電極を覆うように、キャパシタ誘電体膜の上に第1の絶縁膜を堆積する。第1の絶縁膜とキャパシタ誘電体膜との積層構造を異方性エッチングし、上部電極の側壁上に第1の絶縁膜からなるスペーサ絶縁膜を残すと同時に、上位部電極とスペーサ絶縁膜との下に、キャパシタ誘電体膜の一部を残す。第1のシリコン膜をパターニングし、上部電極とスペーサ絶縁膜とを内包する領域に、第1のシリコン膜からなる下部電極を残す。

第1の実施例(その2)

(A)



(B)



12a, 12b, 12c: レジストパターン

## 【特許請求の範囲】

【請求項1】 表面の一部に絶縁性材料が表出した半導体基板の上に、第1のシリコン膜を堆積する工程と、前記第1のシリコン膜の上にキャパシタ誘電体膜を形成する工程と、前記キャパシタ誘電体膜の上に、第2のシリコン膜を堆積する工程と、前記第2のシリコン膜をパターンニングし、前記半導体基板の絶縁性表面の上方に第2のシリコン膜からなる上部電極を残す工程と、前記上部電極を覆うように、前記キャパシタ誘電体膜の上に第1の絶縁膜を堆積する工程と、前記第1の絶縁膜と前記キャパシタ誘電体膜との積層構造を異方性エッチングし、前記上部電極の側面上に前記第1の絶縁膜からなるスペーサ絶縁膜を残すとともに、該上部電極とスペーサ絶縁膜との下に、前記キャパシタ誘電体膜の一部を残す工程と、前記第1のシリコン膜をパターンニングし、前記上部電極とスペーサ絶縁膜とを内包する領域に、該第1のシリコン膜からなる下部電極を残す工程とを有する半導体装置の製造方法。

【請求項2】 前記キャパシタ誘電体膜が、高誘電体または常誘電体材料で形成されている請求項1に記載の半導体装置の製造方法。

【請求項3】 前記第1の絶縁膜が、前記キャパシタ誘電体膜のエッチング方法と同一のエッチング方法でエッチングすることができる材料からなる請求項1または2に記載の半導体装置の製造方法。

【請求項4】 絶縁性表面を有する半導体基板と、前記半導体基板の絶縁性表面の一部の領域上に配置された下部電極と、前記下部電極の上面のうち一部の領域上に配置され、常誘電体または高誘電体材料で形成されたキャパシタ誘電体膜と、前記キャパシタ誘電体膜の上面のうち一部の領域上に配置された上部電極と、前記キャパシタ誘電体膜の上面のうち前記上部電極に覆われていない領域及び前記上部電極の側面を覆い、前記キャパシタ誘電体膜と同一材料により形成されたスペーサ絶縁膜とを有する半導体装置。

【請求項5】 半導体基板の表面に素子分離構造体を形成し、MISFET形成用の活性領域を画定する工程と、前記活性領域の表面上に、ゲート絶縁膜を形成する工程と、

前記素子分離構造体及びゲート絶縁膜の上に、第1のシリコン膜を堆積する工程と、前記第1のシリコン膜の上にキャパシタ誘電体膜を形成する工程と、前記キャパシタ誘電体膜の上に、第2のシリコン膜を堆

積する工程と、

前記第2のシリコン膜をパターンニングし、前記素子分離構造体の一部の領域の上方に該第2のシリコン膜からなる上部電極を残す工程と、

前記上部電極及びキャパシタ誘電体膜を覆うように、第1の絶縁膜を堆積する工程と、

前記第1の絶縁膜を異方性エッチングし、前記上部電極の側面上に第1のスペーサ絶縁膜を残す工程と、

10 前記上部電極及び第1のスペーサ絶縁膜に覆われていない領域の前記キャパシタ誘電体膜を除去し、前記第1のシリコン膜を露出させる工程と、

前記第1のシリコン膜の表面のうち前記上部電極と第1のスペーサ絶縁膜とが配置された領域を内包する領域、及び前記活性領域上に形成されるMISFETのゲート電極に対応する領域とを第1のマスクパターンで覆う工程と、

20 前記第1のマスクパターンをマスクとして前記第1のシリコン膜をエッチングし、前記上部電極の下に前記第1のシリコン膜からなる下部電極を残し、前記活性領域の上に第1のシリコン膜からなるゲート電極を残す工程とを有する半導体装置の製造方法。

【請求項6】 前記キャパシタ誘電体膜と第1の絶縁膜とが同一の材料で形成され、

前記第1の絶縁膜を異方性エッチングする工程及び前記キャパシタ誘電体膜を除去する工程において、前記第1の絶縁膜とキャパシタ誘電体膜とを連続的にエッチングする請求項5に記載の半導体装置の製造方法。

【請求項7】 前記第1のシリコン膜をエッチングする工程の後、さらに、前記活性領域の上のゲート電極をマスクとして、前記活性領域内に第1のイオン注入を行う工程と、

前記ゲート電極及び前記下部電極を含む前記半導体基板上に第2の絶縁膜を堆積する工程と、

前記第2の絶縁膜を異方性エッチングして、前記ゲート電極の側面上に第2のスペーサ絶縁膜を残す工程と、

前記ゲート電極及び第2のスペーサ絶縁膜をマスクとして、前記活性領域内に第2のイオン注入を行う工程とを含み、

40 前記第1の絶縁膜を異方性エッチングする工程は、前記第2の絶縁膜を異方性エッチングする工程で前記第2の絶縁膜が前記第1のスペーサ絶縁膜の上に残らないように、前記第1のスペーサ絶縁膜の側面の傾斜が緩やかになる条件で異方性エッチングする請求項5または6に記載の半導体装置の製造方法。

【請求項8】 半導体基板の表面に素子分離構造体を形成し、MISFET形成用の活性領域を画定する工程と、

前記活性領域の表面上に、ゲート絶縁膜を形成する工程と、

50 前記素子分離構造体及びゲート絶縁膜の上に、第1の導

電膜を堆積する工程と、

前記第1の導電膜の上にキャパシタ誘電体膜を形成する工程と、

前記キャパシタ誘電体膜の上に、第2の導電膜を堆積する工程と、

前記第2の導電膜をパターンニングし、前記素子分離構造体の一部の領域の上方に該第2の導電膜からなる上部電極を残す工程と、

前記上部電極及びキャパシタ誘電体膜を覆うように、第1の絶縁膜を堆積する工程と、

前記第1の絶縁膜を異方性エッチングし、前記上部電極の側面上に第1のスペーサ絶縁膜を残す工程と、

前記上部電極及び第1のスペーサ絶縁膜に覆われていない領域の前記キャパシタ誘電体膜を除去し、前記第1の導電膜を露出させる工程と、

前記第1の導電膜の表面のうち前記上部電極と第1のスペーサ絶縁膜とが配置された領域を内包する領域、及び前記活性領域上に形成されるMISFETのゲート電極に対応する領域とを第1のマスクパターンで覆う工程と、

前記第1のマスクパターンをマスクとして前記第1の導電膜をエッチングし、前記上部電極の下に前記第1の導電膜からなる下部電極を残し、前記活性領域の上に第1の導電膜からなるゲート電極を残す工程とを有する半導体装置の製造方法。

【請求項9】 半導体基板と、

前記半導体基板の表面上に形成され、活性領域を画定する素子分離構造体と、

前記活性領域内に形成され、ソース領域、ドレイン領域、該ソース領域とドレイン領域との間の領域上にゲート絶縁膜を介して形成されたゲート電極とを含むMISFETと、

前記素子分離構造体の上に配置され、前記ゲート電極と同一層で形成され、該ゲート電極とほぼ同一の厚さを有する下部電極と、

前記下部電極の上面の一部の領域上に配置されたキャパシタ誘電体膜と、

前記キャパシタ誘電体膜の一部の領域上に配置された上部電極と、

前記上部電極の側面上に配置され、絶縁材料により形成された第1のスペーサ絶縁膜であって、該第1のスペーサ絶縁膜の側面が前記キャパシタ誘電体膜の側面に滑らかに連続する前記第1のスペーサ絶縁膜とを有する半導体装置。

【請求項10】 前記キャパシタ誘電体膜と第1のスペーサ絶縁膜とが同一の材料で形成されている請求項9に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造

方法及び半導体装置に関し、特にMISFETとキャパシタを有する半導体装置の製造方法及び半導体装置に関する。

【0002】

【従来の技術】図5及び図6を参照して、従来のキャパシタ及びMISFETを含む半導体装置の製造方法について説明する。

【0003】図5(A)に示すように、p型シリコン基板100の表面層の一部の領域にn型ウェル102を形成する。シリコン基板100の表面上に、フィールド酸化膜101を形成し、n型ウェル102が形成された領域及びシリコン基板100のp型表面層の領域に活性領域を画定する。活性領域の表面層を熱酸化し、ゲート酸化膜を形成する。

【0004】フィールド酸化膜101の上に、不純物を添加され、n型導電性を付与された第1のポリシリコン膜103を堆積する。第1のポリシリコン膜103の上に、SiO<sub>2</sub>からなるキャパシタ誘電体膜104を堆積する。キャパシタ誘電体膜104の上に、不純物を添加され、n型導電性を付与された第2のポリシリコン膜105を堆積する。

【0005】第2のポリシリコン膜105の表面のうち、フィールド酸化膜101の上方の一部の領域をレジストパターン110で覆う。レジストパターン110をマスクとして第2のポリシリコン膜105をエッチングする。その後、レジストパターン110を除去する。

【0006】図5(B)に示すように、第2のポリシリコン膜105からなる上部電極105aが残る。

【0007】図5(C)に示すように、キャパシタ誘電体膜104及び上部電極105aの表面上に、SiN膜106を堆積する。SiN膜106の表面のうち、上部電極105aの上方の領域を内包する領域上にレジストパターン111を形成する。レジストパターン111をマスクとしてSiN膜106及びキャパシタ誘電体膜104をエッチングする。その後、レジストパターン111を除去する。

【0008】図6(A)に示すように、上部電極105aを被覆するようにSiN膜106aが残り、その下にキャパシタ誘電体膜104aが残る。第1のポリシリコン膜103の表面のうち、活性領域上のゲート電極に対応する領域をレジストパターン108で覆う。レジストパターン108及びSiN膜106aをマスクとして第1のポリシリコン膜103をエッチングする。

【0009】図6(B)に示すように、活性領域のゲート絶縁膜上にゲート電極103b及び103cが残る。また、SiN膜106aの下に、第1のポリシリコン膜103からなる下部電極103aが残る。このようにして、下部電極103a、キャパシタ誘電体膜104a、及び上部電極105aからなるキャパシタ109が形成される。

10

20

30

40

50

【0010】通常のMISFET形成工程を経て、n型ウェル102が形成されている活性領域内にpチャネルMISFETを形成し、p型の活性領域内にnチャネルMISFETを形成する。

【0011】

【発明が解決しようとする課題】図5及び図6に示す方法では、キャパシタ109を形成するために、図5

(A)に示す上部電極に対応するレジストパターン110、及び図5(C)に示す下部電極に対応するレジストパターン111を用いた2回のフォトリソグラフィ工程が必要となる。すなわち、MISFETを形成する工程の他に、2回のフォトリソグラフィ工程が加わる。

【0012】また、図5(A)に示すレジストパターン110をマスクとしてキャパシタ誘電体膜104までをエッチングし、その後、キャパシタの下部電極とゲート電極とを1回のフォトリソグラフィ工程で形成する方法も提案されている。この方法によると、1回のフォトリソグラフィ工程の増加で、キャパシタを形成することができる。しかし、この方法では、キャパシタの上部電極の側面と下部電極の上面とが、キャパシタ誘電体膜の側面のみを介して隔離されることになる。このため、キャパシタの耐圧の低下や漏れ電流の増加が生じやすくなる。

【0013】本発明の目的は、フォトリソグラフィ工程の増加を抑制し、信頼性の高いキャパシタを形成することができる半導体装置の製造方法を提供することである。

【0014】本発明の他の目的は、フォトリソグラフィ工程の増加を抑制し、信頼性の高いキャパシタを形成することが可能な半導体装置を提供することである。

【0015】

【課題を解決するための手段】本発明の一観点によると、表面の一部に絶縁性材料が表出した半導体基板の上に、第1のシリコン膜を堆積する工程と、前記第1のシリコン膜の上にキャパシタ誘電体膜を形成する工程と、前記キャパシタ誘電体膜の上に、第2のシリコン膜を堆積する工程と、前記第2のシリコン膜をパターニングし、前記半導体基板の絶縁性表面の上方に第2のシリコン膜からなる上部電極を残す工程と、前記上部電極を覆うように、前記キャパシタ誘電体膜の上に第1の絶縁膜を堆積する工程と、前記第1の絶縁膜と前記キャパシタ誘電体膜との積層構造を異方性エッチングし、前記上部電極の側面上に前記第1の絶縁膜からなるスペーサ絶縁膜を残すとともに、該上部電極とスペーサ絶縁膜との下に、前記キャパシタ誘電体膜の一部を残す工程と、前記第1のシリコン膜をパターニングし、前記上部電極とスペーサ絶縁膜とを内包する領域に、該第1のシリコン膜からなる下部電極を残す工程とを有する半導体装置の製造方法が提供される。

【0016】キャパシタ誘電体膜を異方性エッチングし

たとき、上部電極の上面と第1のシリコン膜の上面とが第1のスペーサ絶縁膜の側面により隔離される。このため、上部電極と第1のシリコン膜との間のリーク電流を抑制することができる。キャパシタ誘電体膜の下第1のシリコン膜は、キャパシタの下部電極になる。すなわち、上部電極と下部電極との間のリーク電流の増加を防止することができる。

【0017】第1のシリコン膜及び第2のシリコン膜の代わりに、シリコン以外の導電膜を使用してもよい。

【0018】本発明の他の観点によると、絶縁性表面を有する半導体基板と、前記半導体基板の絶縁性表面の一部の領域上に配置された下部電極と、前記下部電極の上面のうち一部の領域上に配置され、常誘電体または高誘電体材料で形成されたキャパシタ誘電体膜と、前記キャパシタ誘電体膜の上面のうち一部の領域上に配置された上部電極と、前記キャパシタ誘電体膜の上面のうち前記上部電極に覆われていない領域及び前記上部電極の側面を覆い、前記キャパシタ誘電体膜と同一材料により形成されたスペーサ絶縁膜とを有する半導体装置が提供される。

【0019】スペーサ絶縁膜の側面により、上部電極の上面と下部電極の上面とが隔離される。このため、上部電極と下部電極との間のリーク電流を抑制することができる。

【0020】本発明の他の観点によると、半導体基板の表面に素子分離構造体を形成し、MISFET形成用の活性領域を画定する工程と、前記活性領域の表面上に、ゲート絶縁膜を形成する工程と、前記素子分離構造体及びゲート絶縁膜の上に、第1のシリコン膜を堆積する工程と、前記第1のシリコン膜の上にキャパシタ誘電体膜を形成する工程と、前記キャパシタ誘電体膜の上に、第2のシリコン膜を堆積する工程と、前記第2のシリコン膜をパターニングし、前記素子分離構造体の一部の領域の上方に該第2のシリコン膜からなる上部電極を残す工程と、前記上部電極及びキャパシタ誘電体膜を覆うように、第1の絶縁膜を堆積する工程と、前記第1の絶縁膜を異方性エッチングし、前記上部電極の側面上に第1のスペーサ絶縁膜を残す工程と、前記上部電極及び第1のスペーサ絶縁膜に覆われていない領域の前記キャパシタ誘電体膜を除去し、前記第1のシリコン膜を露出させる工程と、前記第1のシリコン膜の表面のうち前記上部電極と第1のスペーサ絶縁膜とが配置された領域を内包する領域、及び前記活性領域上に形成されるMISFETのゲート電極に対応する領域とを第1のマスクパターンで覆う工程と、前記第1のマスクパターンをマスクとして前記第1のシリコン膜をエッチングし、前記上部電極の下に前記第1のシリコン膜からなる下部電極を残し、前記活性領域の上に第1のシリコン膜からなるゲート電極を残す工程とを有する半導体装置の製造方法が提供される。

【0021】第1のマスクパターンで下部電極とゲート電極の両方が形成される。このため、フォトリソグラフィ工程の回数を低減することができる。

【0022】第1及び第2のシリコン膜の各々を、シリコン以外の導電膜で形成してもよい。

【0023】本発明の他の観点によると、半導体基板と、前記半導体基板の表面上に形成され、活性領域を画定する素子分離構造体と、前記活性領域内に形成され、ソース領域、ドレイン領域、該ソース領域とドレイン領域との間の領域上にゲート絶縁膜を介して形成されたゲート電極とを含むMISFETと、前記素子分離構造体の上に配置され、前記ゲート電極と同一層で形成され、該ゲート電極とほぼ同一の厚さを有する下部電極と、前記下部電極の上面の一部の領域上に配置されたキャパシタ誘電体膜と、前記キャパシタ誘電体膜の一部の領域上に配置された上部電極と、前記上部電極の側面上に配置され、絶縁材料により形成された第1のスペーサ絶縁膜であって、該第1のスペーサ絶縁膜の側面が前記キャパシタ誘電体膜の側面に滑らかに連続する前記第1のスペーサ絶縁膜とを有する半導体装置が提供される。

【0024】第1のスペーサ絶縁膜を残すための異方性エッチングによりキャパシタ誘電体膜をもパターンニングすると、第1のスペーサ絶縁膜の側面がキャパシタ誘電体膜の側面に滑らかに連続する。第1のスペーサ絶縁膜により、上部電極の上面と下部電極の上面とが隔離されるため、両電極間のリーク電流を抑制することができる。また、下部電極とゲート電極とを、同一工程で堆積した薄膜をパターンニングすることにより形成すると、両者が同一材料で形成され、かつほぼ同一の厚さを有することになる。両者を同一のフォトリソグラフィ工程で形成すると、フォトリソグラフィ工程の回数を低減することができる。

【0025】

【発明の実施の形態】図1及び図2を参照して、本発明の第1の実施例について説明する。

【0026】図1(A)に示すように、不純物として硼素(B)が $2 \times 10^{15} \text{ cm}^{-3}$ 添加されp型導電性を付与されたシリコン基板1の表面層の一部の領域に、n型ウェル3を形成する。n型ウェル3の形成は、例えばリン(P)を、加速エネルギー200keV、ドーズ量 $1.5 \times 10^{13} \text{ cm}^{-2}$ の条件でイオン注入することにより行う。

【0027】シリコン基板1の表面上にトレンチ型の素子分離構造体2を形成する。素子分離構造体2は、例えば素子分離領域に溝を形成し、溝内を含む基板全面上に $\text{SiO}_2$ 膜を堆積し、この $\text{SiO}_2$ 膜を化学機械研磨(CMP)して溝内にのみ $\text{SiO}_2$ 膜を残すことにより形成される。素子分離構造体2により、n型ウェル3内に活性領域4Pが画定され、シリコン基板1のp型表面層の領域に活性領域4Nが画定される。

【0028】活性領域4P及び4Nの表面層を熱酸化することにより、それぞれの活性領域上に厚さ約5nmのゲート絶縁膜5P及び5Nを形成する。

【0029】素子分離構造体2及びゲート絶縁膜5P、5Nの上に、厚さ200nmの第1のポリシリコン膜6を堆積する。第1のポリシリコン膜6の堆積は、例えば $\text{SiH}_4$ を用いた化学気相堆積(CVD)により行う。気相拡散により第1のポリシリコン膜6にリン(P)を拡散させ、低抵抗化させる。例えば、第1のポリシリコン膜6のシート抵抗を $100 \Omega/\square$ とする。

【0030】なお、気相拡散の代わりに固相拡散、イオン注入等を用いてもよいし、CVDによる成長中にPを添加してもよい。また、第1のポリシリコン膜6の代わりにアモルファスシリコン膜を用いてもよいし、シリコン膜と金属シリサイド膜との積層構造、またはシリコン膜と高融点金属膜との積層構造を用いてもよい。

【0031】第1のポリシリコン膜6の上に、 $\text{SiN}$ からなる厚さ30nmのキャパシタ誘電体膜7を堆積する。キャパシタ誘電体膜7の堆積は、例えば $\text{SiH}_4$ と $\text{NH}_3$ を用いたCVDにより行う。なお、キャパシタ誘電体膜7として $\text{SiN}$ の代わりに、 $\text{SiO}_2$ 、 $\text{SiON}$ を用いてもよいし、他の常誘電体材料または高誘電体材料を用いてもよい。

【0032】キャパシタ誘電体膜7の上に、厚さ200nmの第2のポリシリコン膜8を形成する。第2のポリシリコン膜8の形成は、第1のポリシリコン膜6の形成と同様の方法で行うことができる。第1のポリシリコン膜6の場合と同様に、第2のポリシリコン膜8の代わりにアモルファスシリコン膜を用いてもよいし、シリコン膜と金属シリサイド膜との積層構造、またはシリコン膜と高融点金属膜との積層構造を用いてもよい。

【0033】第2のポリシリコン膜8の表面のうち、素子分離構造体2の上方の一部の領域をレジストパターン9で覆う。レジストパターン9をマスクとして第2のポリシリコン膜8をエッチングする。第2のポリシリコン膜8のエッチングは、例えば塩素( $\text{Cl}_2$ )と酸素( $\text{O}_2$ )との混合ガスによるドライエッチングにより行う。第2のポリシリコン膜8のエッチング後、レジストパターン9を除去する。

【0034】図1(B)に示すように、素子分離構造体2の一部の領域上に第2のポリシリコン膜8からなる上部電極8aが残る。上部電極8a及びキャパシタ誘電体膜7を覆うように、厚さ250nmの第1の絶縁膜10を堆積する。第1の絶縁膜10は、キャパシタ誘電体膜7と同一材料により形成される。

【0035】第1の絶縁膜10とその下のキャパシタ誘電体膜7を、反応性イオンエッチング(RIE)等により異方性エッチングする。このエッチングは、例えばエッチングガスとして $\text{CF}_4$ とArとの混合ガスを用いて行う。第1の絶縁膜10とキャパシタ誘電体膜7とが同

一の材料で形成されているため、この2層を連続してエッチングすることができる。

【0036】図1(C)に示すように、上部電極8aの側面上に第1の絶縁膜10からなる第1のスペーサ絶縁膜10aが残る。上部電極8aと第1のスペーサ絶縁膜10aの下に、キャパシタ誘電体膜7aが残る。第1の絶縁膜10とキャパシタ誘電体膜7とが区別されることなくエッチングされるため、第1のスペーサ絶縁膜10aの側面がキャパシタ誘電体膜7aの側面に滑らかに連続する。

【0037】図2(A)に示すように、上部電極8a、第1のスペーサ絶縁膜10a、及びその周囲の第1のポリシリコン膜6の表面を覆うレジストパターン12aを形成する。同時に、第1のポリシリコン膜6の表面のうち、活性領域4Pと4N上のゲート電極形成領域を覆うレジストパターン12b及び12cを形成する。

【0038】レジストパターン12a~12cをマスクとして第1のポリシリコン膜6をエッチングする。このエッチングは、図1(A)の工程で説明した第2のポリシリコン膜8のエッチングと同様の方法で行う。第1のポリシリコン膜6のエッチング後、レジストパターン12a~12cを除去する。

【0039】図2(B)に示すように、キャパシタ絶縁膜7aの下に第1のポリシリコン膜6からなる下部電極6aが残る。さらに、活性領域4P及び4Nの上に、それぞれゲート電極6b及び6cが残る。このようにして、素子分離構造体2の上に、下部電極6a、キャパシタ誘電体膜7a、及び上部電極8aからなるキャパシタ15が形成される。

【0040】その後、通常MISFET形成工程を経て、活性領域4P内に、ソース/ドレイン領域16P、及びゲート電極6bを含むpチャネルMISFETを形成し、活性領域4N内にソース/ドレイン領域16N、及びゲート電極6cを含むnチャネルMISFETを形成する。

【0041】上記実施例では、図2(A)の工程において、キャパシタの下部電極とMISFETのゲート電極とを1回のパターンニングで形成している。このため、キャパシタを形成するために必要となるフォトリソグラフィ工程の増加分は、図1(A)に示す上部電極形成のための1回のみである。しかも、図1(C)に示すように、キャパシタ誘電体膜7aを形成した状態の時に、上部電極8aの露出した表面と下部電極となる第1のポリシリコン膜6の上面とは、第1のスペーサ絶縁膜10aの表面及びキャパシタ誘電体膜7aの側面を介して隔離される。このため、上部電極7aと下部電極との間のリーク電流に起因する歩留りの低下及び信頼性の低下を防止することができる。

【0042】なお、図1(C)に示す第1のスペーサ絶縁膜10aは、図2(B)に示すゲート電極6b、6c

の側面上のスペーサ絶縁膜とは別工程で形成される。このため、MISFETの特性等に制約されることなく、第1のスペーサ絶縁膜10aの形状を決めることができる。

【0043】次に、図3及び図4を参照して、第2の実施例について説明する。第1の実施例の図1(B)に示す工程までと同様の方法で、第1の絶縁膜10までの積層構造を形成する。

【0044】図3(A)は、第1の実施例の図1(B)と同様の状態を示す。なお、第1の実施例では、キャパシタ誘電体膜7と第1の絶縁膜10の一例としてSiNを用いたが、第2の実施例ではSiO<sub>2</sub>を用いる。キャパシタ誘電体膜7及び第1の絶縁膜10は、例えばSiH<sub>4</sub>とO<sub>2</sub>を用いたCVDにより堆積する。

【0045】図3(B)に示すように、第1の絶縁膜10とキャパシタ誘電体膜7との積層を異方性エッチングする。このエッチングは、通常の側壁上のスペーサ絶縁膜形成のための反応性イオンエッチングによる異方性エッチングより入力電力を落とし、段差部を保護する生成物を生じやすい条件で行う。例えば、エッチングガスとしてCF<sub>4</sub>、CHF<sub>3</sub>、及びArを用い、ガス流量をそれぞれ50sccm、50sccm、及び1000sccmとし、圧力1500mTorr、入力電力400W程度のエッチング条件となる。この場合、CHF<sub>3</sub>中の水素原子が段差部保護のための生成物の発生に寄与すると考えられる。このような条件で異方性エッチングを行うと、第1のスペーサ絶縁膜10aの側面及びキャパシタ誘電体膜7aの側面の傾斜が緩やかになる。

【0046】図3(C)に示すように、基板の最表面を覆うように、窒化シリコンからなる厚さ約30nmの反射防止膜20を堆積する。反射防止膜20はシリッチの膜であり、KrF光源を用いて露光を行う際の反射防止膜として働く。なお、反射防止膜20としてシリッチの酸化窒化シリコンを用いてもよい。

【0047】反射防止膜20の表面のうち、上部電極8a、第1のスペーサ絶縁膜10a、及びキャパシタ誘電体膜7aからなるメサ構造に対応する領域を内包する領域を覆うレジストパターン21aを形成する。同時に、反射防止膜20の表面のうち、活性領域4Pと4N上のゲート電極形成領域を覆うレジストパターン21b及び21cを形成する。反射防止膜20を形成しているため、KrF光源を用いて微細なレジストパターンを再現性良く形成することができる。

【0048】レジストパターン21a~21cをマスクとして、反射防止膜20と第1のポリシリコン膜6をエッチングする。反射防止膜20のエッチングは、例えば、熱燐酸を用いたウェットエッチングにより行う。第1のポリシリコン膜6のエッチングは、図1(A)の工程で説明した第2のポリシリコン膜8のエッチングと同様の方法で行う。第1のポリシリコン膜6のエッチング



後、レジストパターン21a~21cを除去する。

【0049】図3(D)に示すように、キャパシタ絶縁膜7aの下に第1のポリシリコン膜6からなる下部電極6aが残る。さらに、活性領域4P及び4Nの上に、それぞれゲート電極6b及び6cが残る。このようにして、素子分離構造体2の上に、下部電極6a、キャパシタ誘電体膜7a、及び上部電極8aからなるキャパシタ15が形成される。

【0050】キャパシタ15、ゲート電極6b及び6cの上面には、それぞれ反射防止膜20a、20b、及び20cが残っている。この状態で、半導体基板1の表面層のうちゲート電極6b及び6cの各々の両側の領域に、LDD構造用のイオン注入を行う。ゲート電極6bの両側の領域には、 $\text{BF}_2$  イオンを、加速エネルギー20keV、ドーズ量 $1 \times 10^{13} \text{ cm}^{-2}$ の条件でイオン注入し、ゲート電極6cの両側の領域には、Pイオンを、加速エネルギー20keV、ドーズ量 $5 \times 10^{13} \text{ cm}^{-2}$ の条件でイオン注入する。

【0051】図4(A)に示すように、活性領域4Pの表面層の一部に、p型の低濃度拡散領域25Pが形成され、活性領域4Nの表面層の一部に、n型の低濃度拡散領域25Nが形成される。

【0052】半導体基板1の最表面上に、第2の絶縁膜を堆積し、この第2の絶縁膜を異方性エッチングし、ゲート電極6b及び6cの側面上にそれぞれ第2のスペーサ絶縁膜23b及び23cを残す。このとき、下部電極6aの側面上にもスペーサ絶縁膜23aが残る。第1のスペーサ絶縁膜7aの側面が急斜面になっていると、その斜面上にも第2の絶縁膜の一部が残り易くなる。

【0053】本実施例においては、第1のスペーサ絶縁膜7aの側面を緩斜面としているため、約10~20%程度のオーバーエッチングを行うことにより、その斜面上に第2の絶縁膜が残ることを回避できる。この斜面上に第2の絶縁膜が残らないようにするためには、半導体基板1の表面を基準とした第1のスペーサ絶縁膜7aの側面の最大傾斜角を45°未満とすることが好ましい。

【0054】半導体基板1の表面層のうち、ゲート電極6bと第2のスペーサ絶縁膜23bからなるメサ構造、及びゲート電極6cと第2のスペーサ絶縁膜23cからなるメサ構造の各々の両側の領域に、ソース/ドレイン領域形成用のイオン注入を行う。ゲート電極6bを含むメサ構造の両側の領域には、 $\text{BF}_2$  イオンを、加速エネルギー20keV、ドーズ量 $3 \times 10^{15} \text{ cm}^{-2}$ の条件でイオン注入し、ゲート電極6cを含むメサ構造の両側の領域には、砒素を、加速エネルギー30keV、ドーズ量 $1 \times 10^{15} \text{ cm}^{-2}$ の条件でイオン注入する。

【0055】図4(B)に示すように、ゲート電極6bの両側の基板表面層にLDD構造を有するp型ソース/ドレイン領域26Pが形成され、ゲート電極6cの両側の基板表面層にLDD構造を有するn型ソース/ドレイ

ン領域26Nが形成される。

【0056】キャパシタ15の上、及びゲート電極6b、6cの上に残っている反射防止膜20a~20cを除去する。反射防止膜20a~20cの除去は、例えば熱燐酸系のエッチャントを用いて行う。エキシマ光源等に対して反射防止膜として最適化した窒化シリコン膜は、通常の熱CVDによる窒化シリコン膜に比べて、絶縁性が極めて弱くなっている。このため、第1のスペーサ絶縁膜10aの斜面上に反射防止膜20aが残留すると、残留した反射防止膜20aのために上部電極8aと下部電極6aとの間の絶縁耐圧が低下したり、両者間にリーク電流が流れてしまう場合がある。

【0057】本実施例の場合には、図4(A)の第2のスペーサ絶縁膜23a~23cを形成するときに、上述のように第1のスペーサ絶縁膜10aの斜面上に $\text{SiO}_2$ からなる絶縁膜が残らない。このため、熱燐酸により、第1のスペーサ絶縁膜10aの斜面上の反射防止膜20aを容易に除去することができ、リーク電流の発生を防止することができる。

【0058】図4(C)に示すように、上部電極8a、下部電極6a、ゲート電極6b、6c、及びソース/ドレイン領域26P、26Nの表面上に、金属シリサイドからなる低抵抗膜28を形成する。以下、低抵抗膜28の形成方法を簡単に説明する。

【0059】まず、弗酸系エッチャントを用いて、基板の表面の洗浄及び表面に形成された酸化シリコン膜の除去を行う。基板最表面上に、シリコンとシリサイド化合物を形成する金属、例えばCo、Ti、Mo、Pt等からなる金属膜を堆積する。この金属膜の堆積は、例えばこれらの金属ターゲットをAr雰囲気中でスパッタすることにより行う。基板を加熱し、金属膜とその下のシリコン領域とのシリサイド反応を進める。その後、未反応の金属膜を除去する。このようにして、所望の領域に自己整合的に金属シリサイドからなる低抵抗膜28が形成される。

【0060】キャパシタ15による基板表面の段差を少なくするために、上部電極8aを薄く形成することが好ましい。上部電極8aを薄くすると、一般的には、その側面上のスペーサ絶縁膜による上部電極8aと下部電極6aとの隔離領域が狭くなる。本実施例においては、上部電極8aの側面上の第1のスペーサ絶縁膜10aを、ゲート電極6b、6cの側面上の第2のスペーサ絶縁膜23b、23cの形成とは別の工程で、幅広に形成することができる。このため、シリサイド反応時の金属のはい上がり現象等による上部電極8aと下部電極6aとの間の短絡を防止することができる。

【0061】また、図4(A)の工程で、反射防止膜20a~20cを除去する前に、第2のスペーサ絶縁膜23a~23cを形成している。このため、反射防止膜20a~20cの除去工程で用いる熱燐酸によるMIS構

13

造界面の汚染を防止することができる。

【0062】なお、第2の実施例においても、第1の実施例の場合と同様に、1回のフォトリソグラフィ工程の増加でキャパシタを形成することができる。

【0063】以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。例えば、種々の変更、改良、組み合わせ等が可能なことは当業者に自明であろう。

【0064】

【発明の効果】以上説明したように、本発明によれば、キャパシタの上部電極と下部電極との間のリーク電流による信頼性の低下を防止することができる。また、MISFETとキャパシタとを形成する際に、MISFETの形成のためのフォトリソグラフィ工程に対して追加するフォトリソグラフィ工程の数を抑制することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例による半導体装置の製造工程を説明するための基板の断面図（その1）である。

【図2】本発明の第1の実施例による半導体装置の製造工程を説明するための基板の断面図（その2）である。

【図3】本発明の第2の実施例による半導体装置の製造工程を説明するための基板の断面図（その1）である。

【図4】本発明の第2の実施例による半導体装置の製造工程を説明するための基板の断面図（その2）である。

【図5】従来例による半導体装置の製造工程を説明するための基板の断面図（その1）である。

14

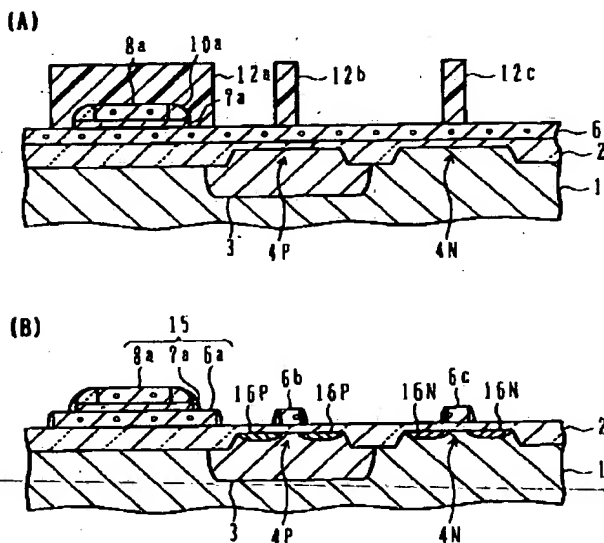
【図6】従来例による半導体装置の製造工程を説明するための基板の断面図（その2）である。

【符号の説明】

- 1 シリコン基板
- 2 素子分離構造体
- 3 n型ウェル
- 4P、4N 活性領域
- 5P、5N 活性領域
- 6 第1のポリシリコン膜
- 6a 下部電極
- 6b、6c ゲート電極
- 7 キャパシタ誘電体膜
- 8 第2のポリシリコン膜
- 8a 上部電極
- 9、12a～12c、21a～21c レジストパターン
- 10 第1の絶縁膜
- 10a 第1のスペーサ絶縁膜
- 15 キャパシタ
- 16P、16N ソース/ドレイン領域
- 20 反射防止膜
- 25P p型低濃度拡散領域
- 25N n型低濃度拡散領域
- 26P p型ソース/ドレイン領域
- 26N n型ソース/ドレイン領域
- 28 低抵抗膜

【図2】

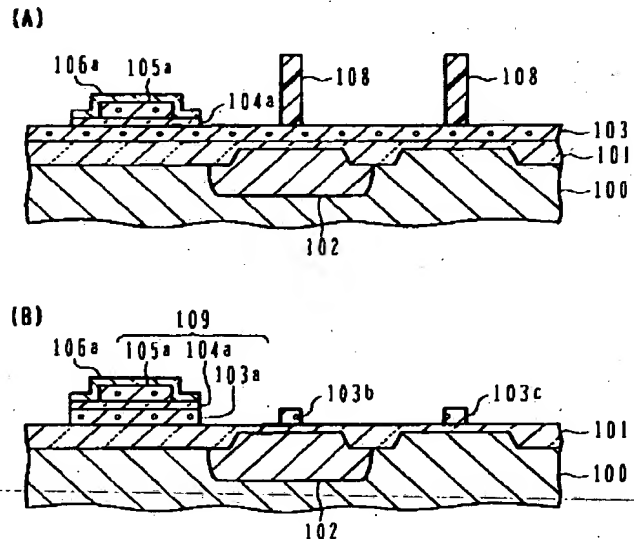
第1の実施例（その2）



12a, 12b, 12c: レジストパターン

【図6】

従来例（その2）

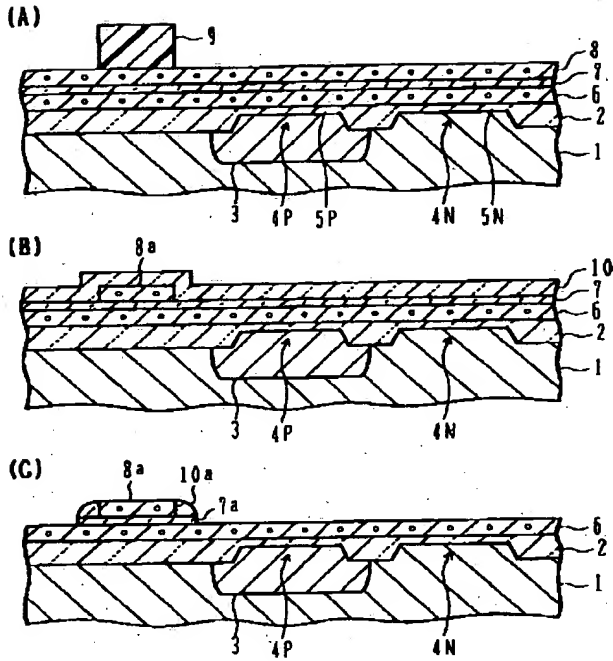


108: レジストパターン  
109: キャパシタ  
103b, 103c: ゲート電極



【図1】

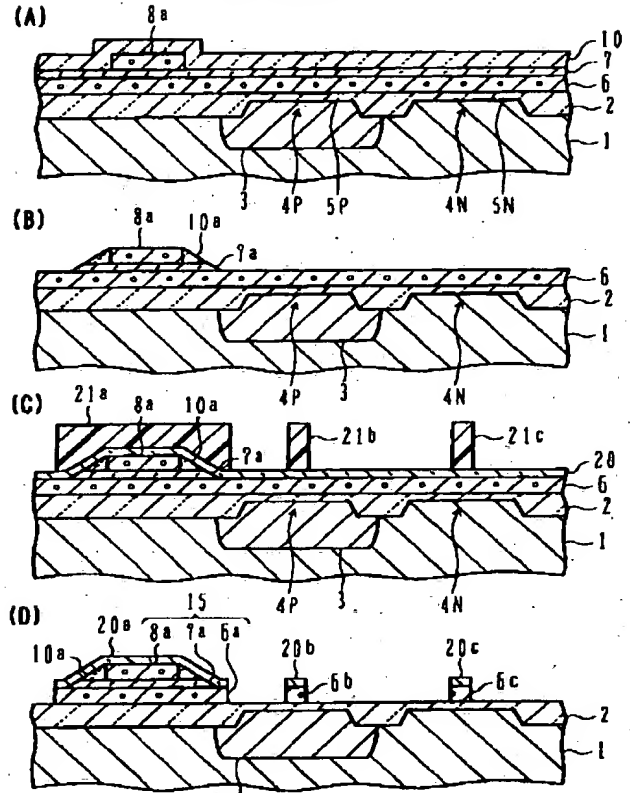
第1の実施例 (その1)



- |                |                 |
|----------------|-----------------|
| 1: シリコン基板      | 7: キャパシタ誘電体膜    |
| 2: 素子分離構造体     | 8: 第2のポリシリコン膜   |
| 3: n型ウェル       | 8a: 上部電極        |
| 4N, 4P: 活性領域   | 9: レジストパターン     |
| 5N, 5P: ゲート絶縁膜 | 10: 第1の絶縁膜      |
| 6: 第1のポリシリコン膜  | 10a: 第1のスペーサ絶縁膜 |

【図3】

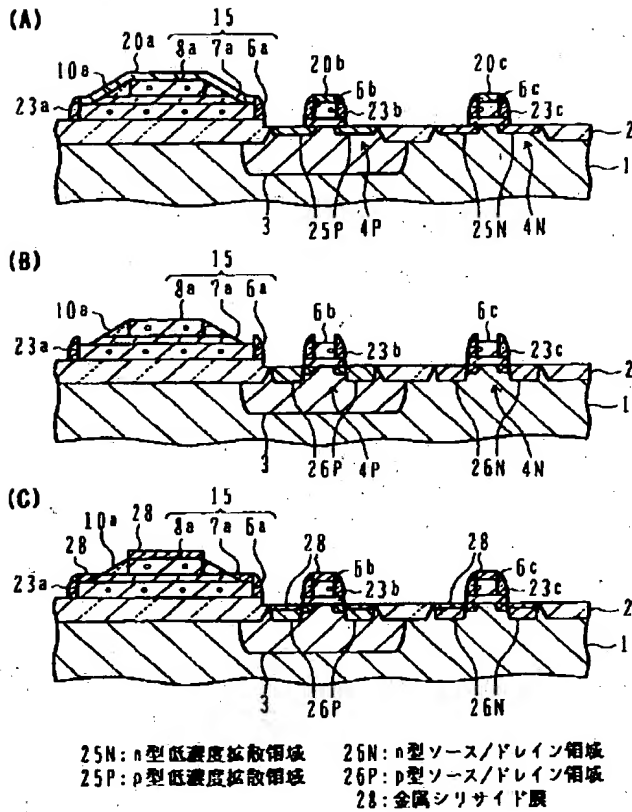
第2の実施例 (その1)



20: 反射防止膜

【図4】

第2の実施例 (その2)



【図5】

従来例 (その1)

